

Docket No.: 60188-823

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
	:	
Manabu OHNISHI, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: March 26, 2004	:	Examiner: Unknown
	:	
For: SEMICONDUCTOR DEVICE	:	

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

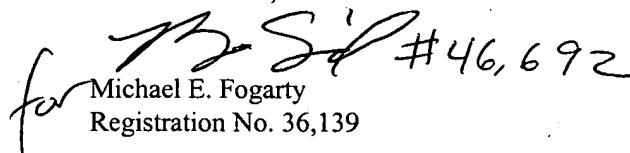
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

**Japanese Patent Application No. 2003-087824, filed March 27, 2003**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

*for*  #46,692  
Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:tlb  
Facsimile: (202) 756-8087  
**Date: March 26, 2004**

60188-823  
OMNISHI, et al.  
March 24, 2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

*McDermott, Will & Emery*

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   3 月 2 7 日  
Date of Application:

出 願 番 号            特 願 2 0 0 3 - 0 8 7 8 2 4  
Application Number:  
[ST. 10/C] :            [ J P 2 0 0 3 - 0 8 7 8 2 4 ]

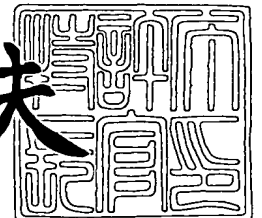
出      願      人            松 下 電 器 産 業 株 式 会 社  
Applicant(s):

特許庁  
印  
2004

2 0 0 4 年   2 月   5 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号   出証特 2 0 0 4 - 3 0 0 6 7 7 9

【書類名】 特許願

【整理番号】 5037640203

【提出日】 平成15年 3月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/82

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 土井 淳

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 許 浩沿

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 竹村 康司

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 大西 学

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 永井 紀行

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 中山 知之

## 【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

## 【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

## 【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

## 【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

## 【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

## 【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

## 【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

## 【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

## 【選任した代理人】

【識別番号】 100117581

【弁理士】

【氏名又は名称】 二宮 克也

## 【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

## 【選任した代理人】

【識別番号】 100121500

【弁理士】

【氏名又は名称】 後藤 高志

## 【選任した代理人】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守

## 【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 半導体チップと、当該半導体チップの外部接続のためのキャリアとをフリップチップ接続してなる半導体装置であって、

前記半導体チップは、

各々前記半導体チップの表面上の周縁部に並ぶように形成された回路素子を含む複数の入出力セルと、

各々前記複数の入出力セルのうち対応する入出力セルの上に形成された複数の電極パッドとを備え、

前記複数の電極パッドは、千鳥状のパッド配列をなすように内側パッド列と外側パッド列とを構成し、かつ、

前記半導体チップ表面上のコーナー部の近傍における一定領域をパッド配置制約領域とし、当該パッド配置制約領域内では、前記キャリアの表面上に形成された配線パターンにバンプ接続される電極パッドの配置又は用途に制約が課されたことを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、

前記複数の電極パッドは、各々凸字状の平面形状を備え、テスト用又は解析用の幅狭プロービング部と、前記キャリア表面上の配線パターンにバンプ接続される幅広ボンディング部とを有することを特徴とする半導体装置。

【請求項 3】 請求項 1 記載の半導体装置において、

前記パッド配置制約領域は、前記キャリアの設計ルールに応じて範囲が決定されたことを特徴とする半導体装置。

【請求項 4】 請求項 1 記載の半導体装置において、

前記パッド配置制約領域内では、前記内側パッド列のうちの一部分が形成されないことを特徴とする半導体装置。

【請求項 5】 請求項 4 記載の半導体装置において、

前記パッド配置制約領域内における前記外側パッド列のピッチを、前記入出力セルの配置に関する最小セパレーションルールに応じて圧縮したことを特徴とす

る半導体装置。

【請求項 6】 請求項 1 記載の半導体装置において、

前記パッド配置制約領域内では、前記内側パッド列及び前記外側パッド列が共に形成されないことを特徴とする半導体装置。

【請求項 7】 請求項 6 記載の半導体装置において、

前記パッド配置制約領域内では、前記内側パッド列及び前記外側パッド列に対応する入出力セルに代えて、他の種類の機能セルが配置されたことを特徴とする半導体装置。

【請求項 8】 請求項 1 記載の半導体装置において、

前記パッド配置制約領域における前記内側パッド列は、各々テスト用又は解析用のプロービング専用パッドであって、前記キャリア表面上の配線パターンにバンプ接続されないことを特徴とする半導体装置。

【請求項 9】 請求項 1 記載の半導体装置において、

前記パッド配置制約領域における前記内側パッド列のうち一部の電極パッドのみが、前記キャリア表面上の配線パターンに個別にバンプ接続されたことを特徴とする半導体装置。

【請求項 10】 請求項 1 記載の半導体装置において、

前記パッド配置制約領域における前記内側パッド列は、各々前記キャリア表面上の配線パターンに個別にバンプ接続され、かつ少なくとも 2 個の電極パッドが前記キャリア内で互いに短絡されたことを特徴とする半導体装置。

【請求項 11】 請求項 10 記載の半導体装置において、

前記キャリア内で互いに短絡された電極パッドは、当該キャリアを介して電源又はグランドに接続されたことを特徴とする半導体装置。

【請求項 12】 請求項 10 記載の半導体装置において、

前記キャリア内で互いに短絡された電極パッドに対応する入出力セルは、1 個の高駆動電流能力セルとして機能することを特徴とする半導体装置。

【請求項 13】 請求項 10 記載の半導体装置において、

前記キャリア内で互いに短絡された電極パッドに対応する入出力セルは、1 個の低インピーダンスセルとして機能することを特徴とする半導体装置。

**【発明の詳細な説明】****【0 0 0 1】****【発明の属する技術分野】**

本発明は、C S P (Chip Size Package) 型の半導体装置に関するものである。

**【0 0 0 2】****【従来の技術】**

半導体装置において、各々凸字状の平面形状を備えた複数の電極パッドにより、千鳥状のパッド配列をなすように内側パッド列と外側パッド列とを構成する技術が知られている。各電極パッドは、テスト用又は解析用の幅狭プロービング部と、パッケージ端子にワイヤ接続される幅広ボンディング部とを有する。これにより、パッドピッチを縮小しつつ、プローブ痕の影響が緩和される（特許文献 1 参照）。

**【0 0 0 3】**

パッケージ小型化のために C S P 型の半導体装置が開発された。例えば、半導体チップと、当該半導体チップの外部接続のためのキャリアとをフリップチップ（フェースダウン）接続してなる半導体装置である。テスト時に半導体チップの裏面コーナー部に集中応力が印加されることを考慮する場合には、当該半導体チップ表面上のコーナー部の近傍における一定領域内に回路素子を形成しないように制限する（特許文献 2 参照）。

**【0 0 0 4】****【特許文献 1】**

特開 2 0 0 0 - 1 6 4 6 2 0 号公報

**【0 0 0 5】****【特許文献 2】**

特開 2 0 0 2 - 2 5 2 2 4 6 号公報

**【0 0 0 6】****【発明が解決しようとする課題】**

C S P 型の半導体装置に P O E (Pad On Element) の技術を採用することが考

えられる。POE技術によれば、半導体チップ表面上の周縁部に並ぶように形成された回路素子をそれぞれ含む入出力セルの上に各々電極パッドが形成される。これにより、半導体チップのサイズを縮小できる。

#### 【0007】

ところが、更に千鳥状の電極パッド配列を採用する場合には、パッドピッチを小さくすると、半導体チップ表面上のコーナー部近傍に対応するCSPキャリア設計に困難が生じる。すなわち、キャリア表面上に形成される配線パターンのうち半導体チップの内側パッド列にバンプ接続される配線パターン及びキャリア中のビアに錯綜が生じるため、コーナー部近傍の内側パッド列から、いわゆるビア出しができなくなり、これが半導体チップのサイズ増大要因となってしまう。

#### 【0008】

本発明の目的は、POE技術と千鳥状の電極パッド配列とを採用したCSP型の半導体装置において、半導体チップのサイズ増大要因をなくすことにある。

#### 【0009】

##### 【課題を解決するための手段】

上記目的を達成するため、本発明は、半導体チップ表面上のコーナー部近傍における一定領域をパッド配置制約領域とし、当該パッド配置制約領域内では、キャリア表面上に形成された配線パターンにバンプ接続される電極パッドの配置又は用途に制約を課すこととしたものである。

#### 【0010】

##### 【発明の実施の形態】

以下、添付図面を参照しながら本発明の実施形態を詳細に説明する。

#### 【0011】

図1は、本発明に係る半導体装置の全体構成例を示す斜視図である。図1の半導体装置は、半導体チップ10と、当該半導体チップ10の外部接続のためのキャリア20とをフリップチップ接続してなるCSP型の半導体装置であって、半導体チップ10とキャリア20との間隙は封止樹脂30により封止されている。半導体チップ10の表面上に形成された電極パッドと、キャリア20の表面上に形成された配線パターンとは、半導体チップ10の電極パッド上に形成したバン

プ（例えば金バンプ）によりフリップチップ接続されている。なお、半導体チップ10を覆うようにキャップを被せて封止してもよい。

#### 【0012】

図2は、図1中の半導体チップ10における電極パッド形成面のコーナー部を示す平面図である。半導体チップ10の表面上には、その中央部分に種々の集積回路素子が形成されると共に、コーナー部にコーナーセル11が、周縁部に並ぶように入出力セル12が、各入出力セル12の上に電極パッド13がそれぞれ形成されている。各入出力セル12は信号入出力のための回路素子を含み、これらの回路素子の上にPOE技術により複数の電極パッド13が形成されるのである。これらの電極パッド13は、千鳥状のパッド配列をなすように内側パッド列と外側パッド列とを構成している。

#### 【0013】

一方、キャリア20は、例えばセラミック製であって、半導体チップ10の電極パッド13にバンプ接続されるべき配線パターン21を表面に、当該半導体装置の外部端子（不図示）を裏面にそれぞれ有し、これら配線パターン21と外部端子とが厚み方向のビア22を介して内部接続されたものであり、サブストレート又はインターポーザとも呼ばれる。キャリア20の中の配線パターンは、多層配線であってよい。

#### 【0014】

図3は、図2中の電極パッド13の配列を拡大して示す平面図である。図2及び図3に示すとおり、内側パッド列を構成する電極パッド13のうち、コーナーセル11の両側に隣接する合計6個の電極パッドは、その配設が省略されている。したがって、図2中に破線で示したようなキャリア20の配線パターン21及びビア22の錯綜を防止できる。

#### 【0015】

図3を参照して更に詳細に説明すると、各電極パッド13は、凸字状の平面形状を備え、テスト用又は解析用の幅狭プロービング部と、キャリア20の表面上の配線パターン21にバンプ接続される幅広ボンディング部とを有する。ここでは、入出力セル12のピッチ及び千鳥状の電極パッド13のピッチを $60\mu\text{m}$ と

するとき、内側パッド列における幅広ボンディング部の中心線の交点から測ったパッド配置制約領域の寸法Lを $508.4\mu\text{m}$ としている。この寸法Lはキャリア20の設計ルール（例えば、配線パターン21の幅や、ビア22のサイズ）に応じて決定されたものであり、このパッド配置制約領域内では、内側パッド列を構成する電極パッド13のうちの一部（合計6個）が形成されない。したがって、パッド配置制約領域におけるパッドピッチは $120\mu\text{m}$ であり、他の領域のパッドピッチ（ $60\mu\text{m}$ ）の2倍となっている。なお、コーナーセル11のサイズは例えば $295\mu\text{m} \times 295\mu\text{m}$ である。

#### 【0016】

以下、図3の電極パッド配列の第1～第6の変形例を説明する。これらの変形例によれば、キャリア20の配線パターン21及びビア22の錯綜を防止できて半導体チップ10のサイズ増大要因をなくすることができるという上記効果に加えて、他の効果をも得ることができる。

#### 【0017】

図4は、図3の電極パッド配列の第1の変形例を示している。図4では、パッド配置制約領域内における外側パッド列のピッチを、入出力セル12の配置に関する最小セパレーションルールに応じて圧縮する。これにより、図3の場合に比べて、コーナーセル11の両側に隣接する外側電極パッド列において合計2個の電極パッド13を増加させることができる。

#### 【0018】

図5は、電極パッド配列の第2の変形例を示している。図5では、パッド配置制約領域内に内側パッド列及び外側パッド列が共に形成されず、これに対応する入出力セルに代えて、ESD (Electro-Static discharge) 保護セル14、アナログ回路とデジタル回路との間の電源干渉を防止するための電源分離セル15等の他の種類の機能セルが配置される。これにより、一層の省面積化が図れる。

#### 【0019】

次に説明する第3～第6の変形例では、パッド配置制約領域内においても、他の領域と実質的に同じピッチで内側パッド列及び外側パッド列を形成する。つまり、コーナーセル11の直近まで内側パッド列及び外側パッド列が共に形成され

る。

#### 【0020】

図6は、電極パッド配列の第3の変形例を示している。図6では、図3における電極パッド配列省略位置に、各々テスト用又は解析用のプロービング専用パッド16を設ける。これらプロービング専用パッド16は、各々幅狭プロービング部のみを有し、キャリア20の配線パターン21にバンプ接続されないものである。これにより、当該半導体装置のプロービング時の観測性及び制御性が高まる。なお、プロービング専用パッド16の平面形状を他の電極パッド13と同様の凸字状としてもよいが、その幅広ボンディング部は使用しないものとする。

#### 【0021】

図7は、電極パッド配列の第4の変形例を示している。図7では、図3中の電極パッド配列省略位置に対応する内側パッド列のうち一部の電極パッド（図7の例では「A」と表記した3個の電極パッド）13のみが、キャリア20の表面上の配線パターン21に個別にバンプ接続される。残りの電極パッド（図7の例では「B」と表記した3個の電極パッド）13は、キャリア20の配線パターン21に接続されない。ただし、その他の電極パッド13についてはキャリア20への個別のビア出しがなされる（図示省略）。

#### 【0022】

図7の例によれば、キャリア20中の配線パターン21及びビア22の配置を変更することにより、図3中の電極パッド配列省略位置に対応する内側パッド列のうち図7中に「B」と表記した3個の電極パッド13のみを、キャリア20の配線パターン21に個別にバンプ接続することも可能である。したがって、同一の半導体チップ10に対して複数種類のキャリア20を用意することにより、半導体装置の品種展開が容易となる。

#### 【0023】

図8は、電極パッド配列の第5の変形例を示している。図8では、図3中の電極パッド配列省略位置に対応する内側パッド列をなす電極パッド（図8の紙面においてコーナーセル11の上方に位置する3個の電極パッド）13を各々キャリア20の表面上の配線パターンに個別にバンプ接続しつつ、これら3個の電極パ

ッド13をキャリア20の内部で配線パターン21a及びビア22aにより互いに短絡したうえ、当該キャリア20を介して外部電源端子VDDに接続する。また、図3中の電極パッド配列省略位置に対応する内側パッド列をなす電極パッド（図8の紙面においてコーナーセル11の右方に位置する3個の電極パッド）13を各々キャリア20の表面上の配線パターンに個別にバンプ接続しつつ、これら3個の電極パッド13をキャリア20の内部で配線パターン21b及びビア22bにより互いに短絡したうえ、当該キャリア20を介して外部グランド端子VSSに接続する。これにより、当該半導体装置の電源強化が図れる。なお、その他の電極パッド13については、キャリア20への個別のビア出しがなされる（図示省略）。

#### 【0024】

図9は、電極パッド配列の第6の変形例を示している。図9では、図3中の電極パッド配列省略位置に対応する内側パッド列をなす電極パッド（図9の紙面においてコーナーセル11の上方及び右方に位置する6個の電極パッド）13を各々キャリア20の表面上の配線パターンに個別にバンプ接続しつつ、これら6個の電極パッド13を各々2個の電極パッドからなる第1、第2及び第3のグループに分類する。そして、第1のグループに属する2個の電極パッド13をキャリア20の内部で配線パターン21a及びビア22aにより互いに短絡したうえ、当該キャリア20を介して第1の外部出力端子OUTaに接続する。また、第2のグループに属する2個の電極パッド13をキャリア20の内部で配線パターン21b及びビア22bにより互いに短絡したうえ、当該キャリア20を介して第2の外部出力端子OUTbに接続する。更に、第3のグループに属する2個の電極パッド13をキャリア20の内部で配線パターン21c及びビア22cにより互いに短絡したうえ、当該キャリア20を介して第3の外部出力端子OUTcに接続する。これにより、キャリア20内で互いに短絡された電極パッド13に対応する入出力セル12は、各々1個の高駆動電流能力セルとして、また各々1個の低インピーダンスセルとして機能する。つまり、図9では高駆動電流能力セルや低インピーダンスセルを等価的に作り出せる。なお、その他の電極パッド13については、キャリア20への個別のビア出しがなされる（図示省略）。

**【0025】**

なお、図8及び図9におけるキャリア20内での電極パッド13の短絡は、当該キャリア20の多層配線のうちのいずれの層の配線で実現してもよい。

**【0026】****【発明の効果】**

以上説明してきたとおり、本発明によれば、POE技術と千鳥状の電極パッド配列とを採用したCSP型の半導体装置において、半導体チップ表面上のコーナー部近傍における一定領域をパッド配置制約領域とし、当該パッド配置制約領域内では、キャリア表面上に形成された配線パターンにバンプ接続される電極パッドの配置又は用途に制約を課すこととしたので、半導体チップのサイズ増大要因をなくすることができる。

**【図面の簡単な説明】****【図1】**

本発明に係る半導体装置の全体構成例を示す斜視図である。

**【図2】**

図1中の半導体チップにおける電極パッド形成面のコーナー部をキャリア表面上の配線パターン及びキャリア中のビアの位置と共に示す平面図である。

**【図3】**

図2の半導体チップ上の電極パッド配列を拡大して示す平面図である。

**【図4】**

図3の電極パッド配列の第1の変形例を示す平面図である。

**【図5】**

図3の電極パッド配列の第2の変形例を示す平面図である。

**【図6】**

図3の電極パッド配列の第3の変形例を示す平面図である。

**【図7】**

図3の電極パッド配列の第4の変形例を示す平面図である。

**【図8】**

図3の電極パッド配列の第5の変形例を示す平面図である。

## 【図 9】

図 3 の電極パッド配列の第 6 の変形例を示す平面図である。

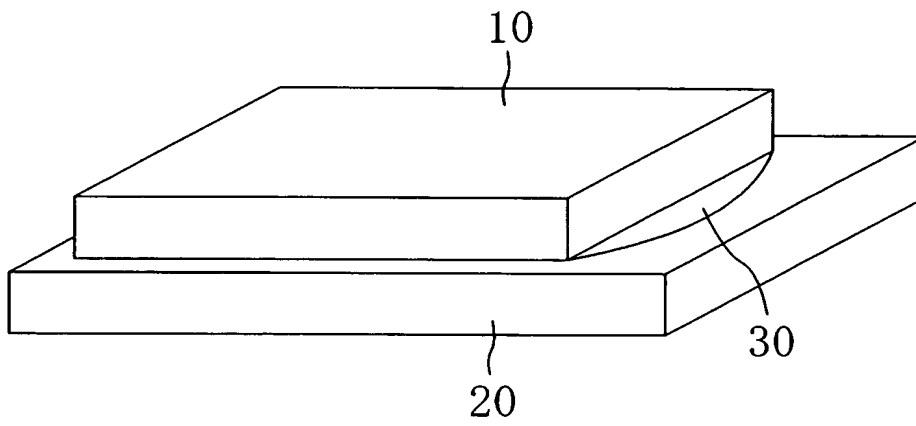
## 【符号の説明】

- 10 半導体チップ
- 11 コーナーセル
- 12 入出力セル
- 13 電極パッド
- 14 ESD保護セル
- 15 電源分離セル
- 16 プロービング専用パッド
- 20 キャリア
- 21, 21a, 21b, 21c キャリア上の配線パターン
- 22, 22a, 22b, 22c キャリア中のビア
- 30 封止樹脂

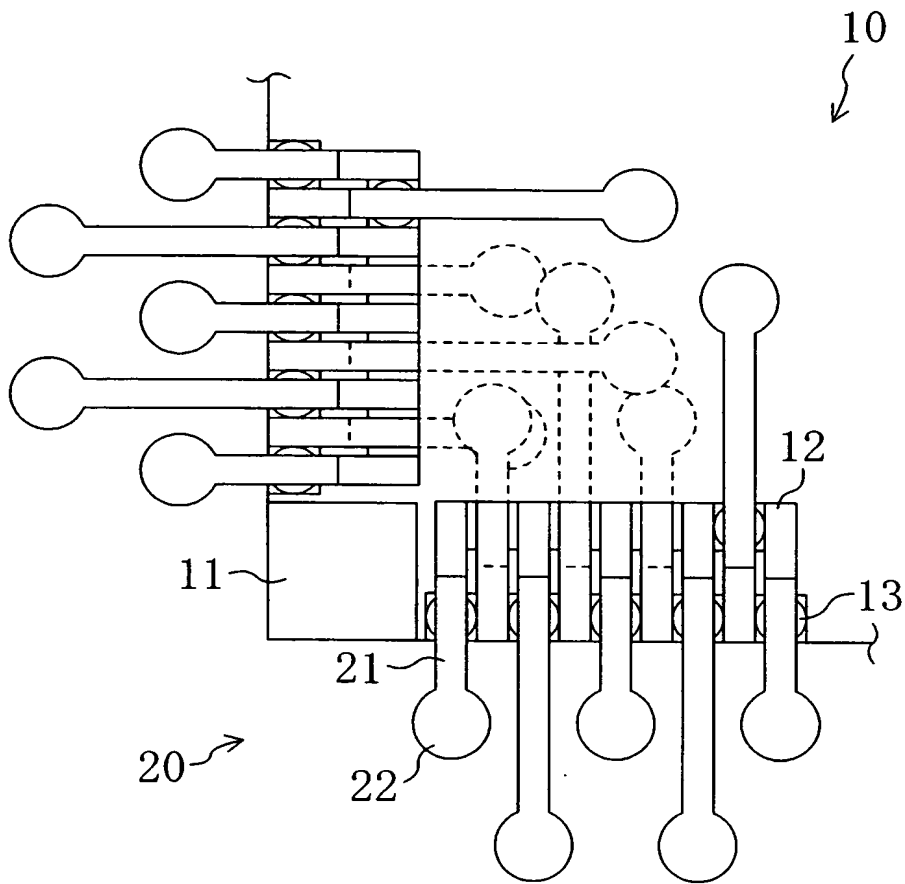
【書類名】

図面

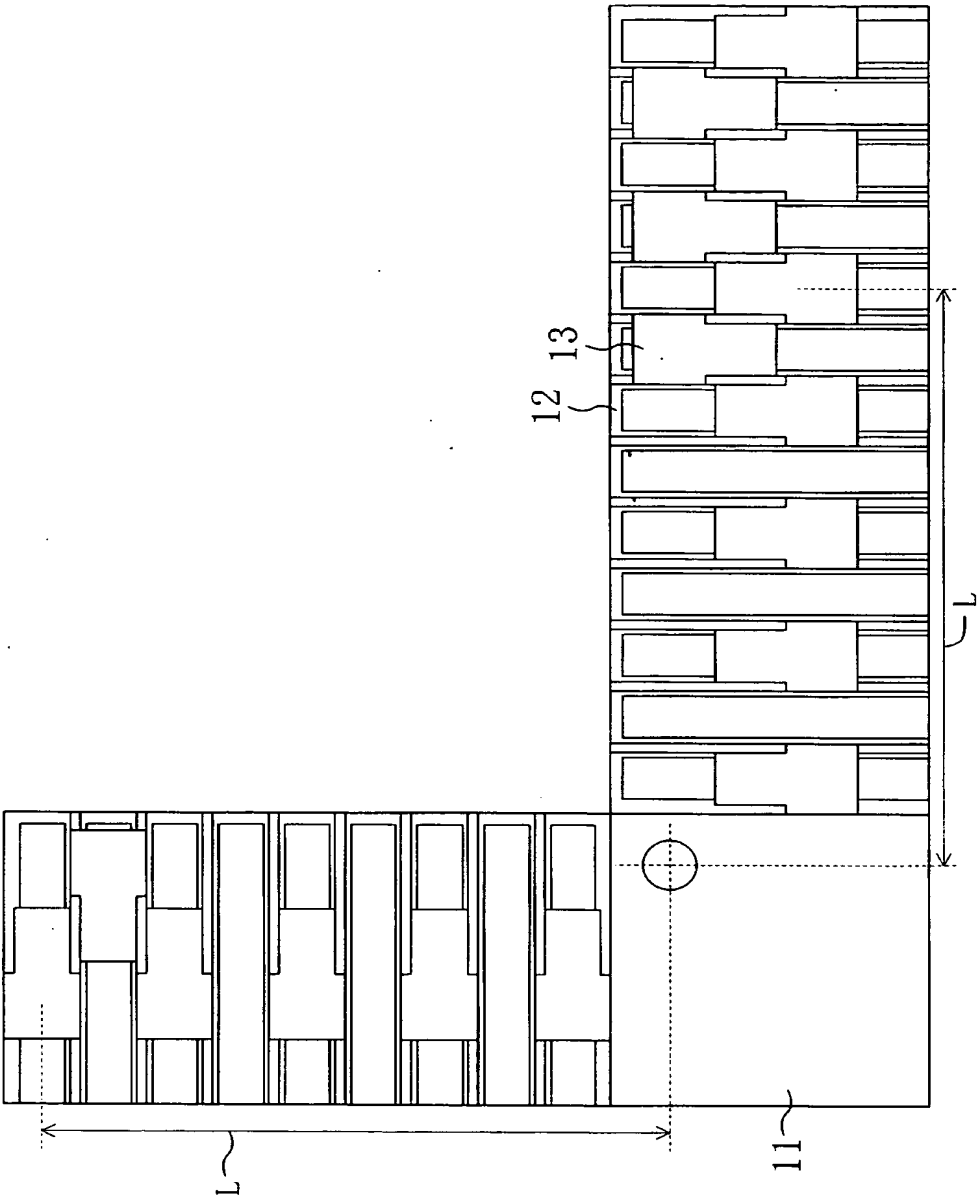
【図 1】



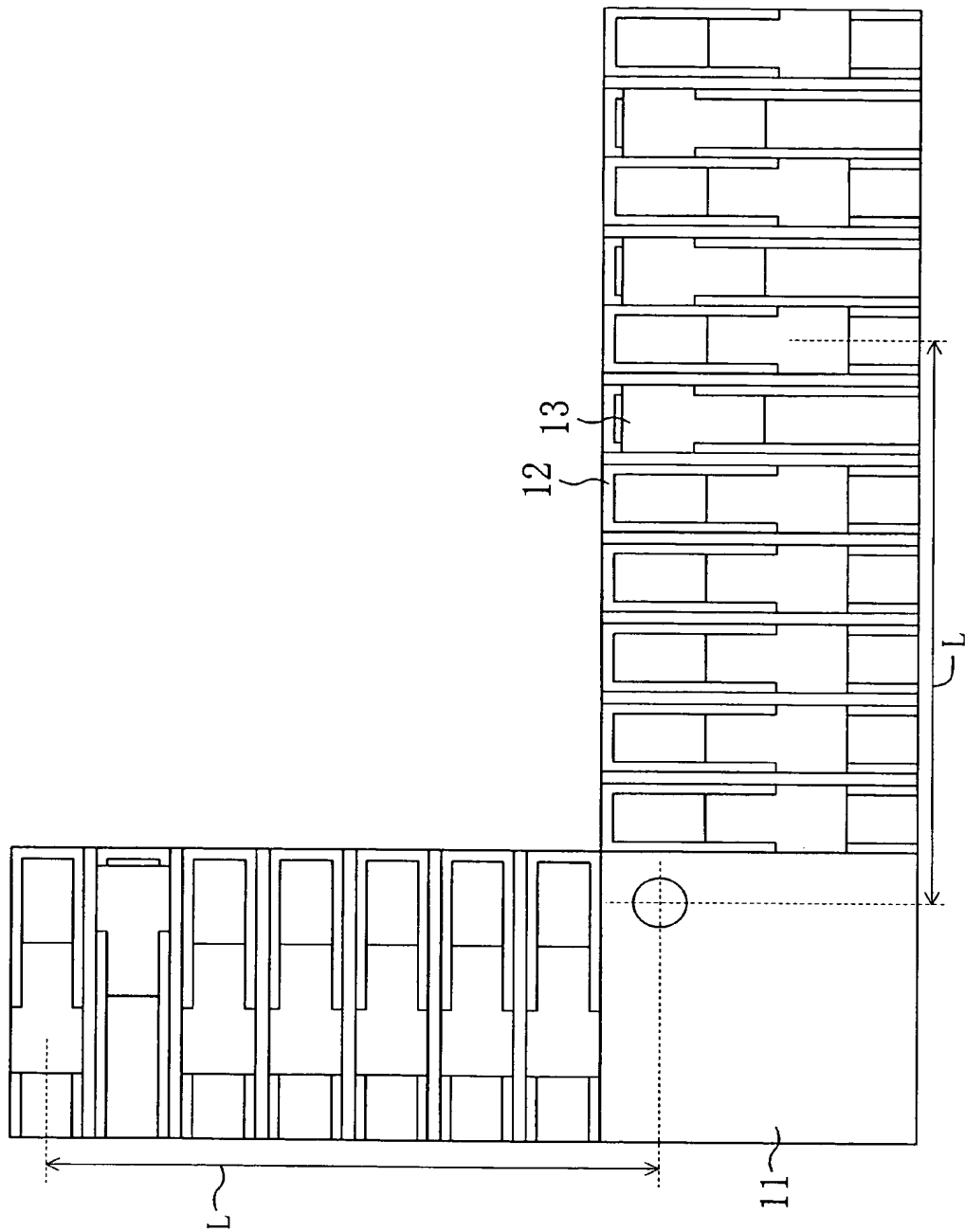
【図 2】



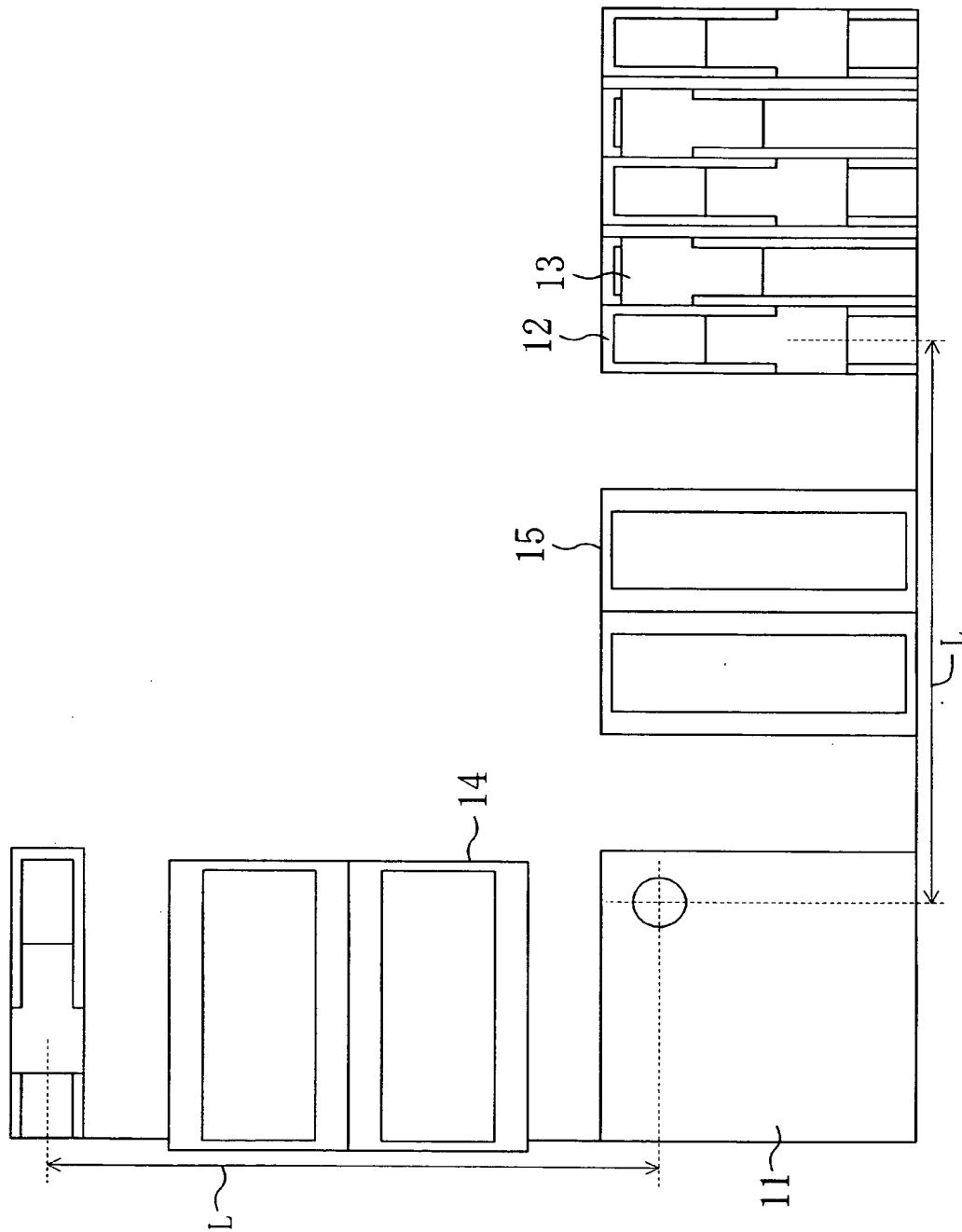
【図 3】



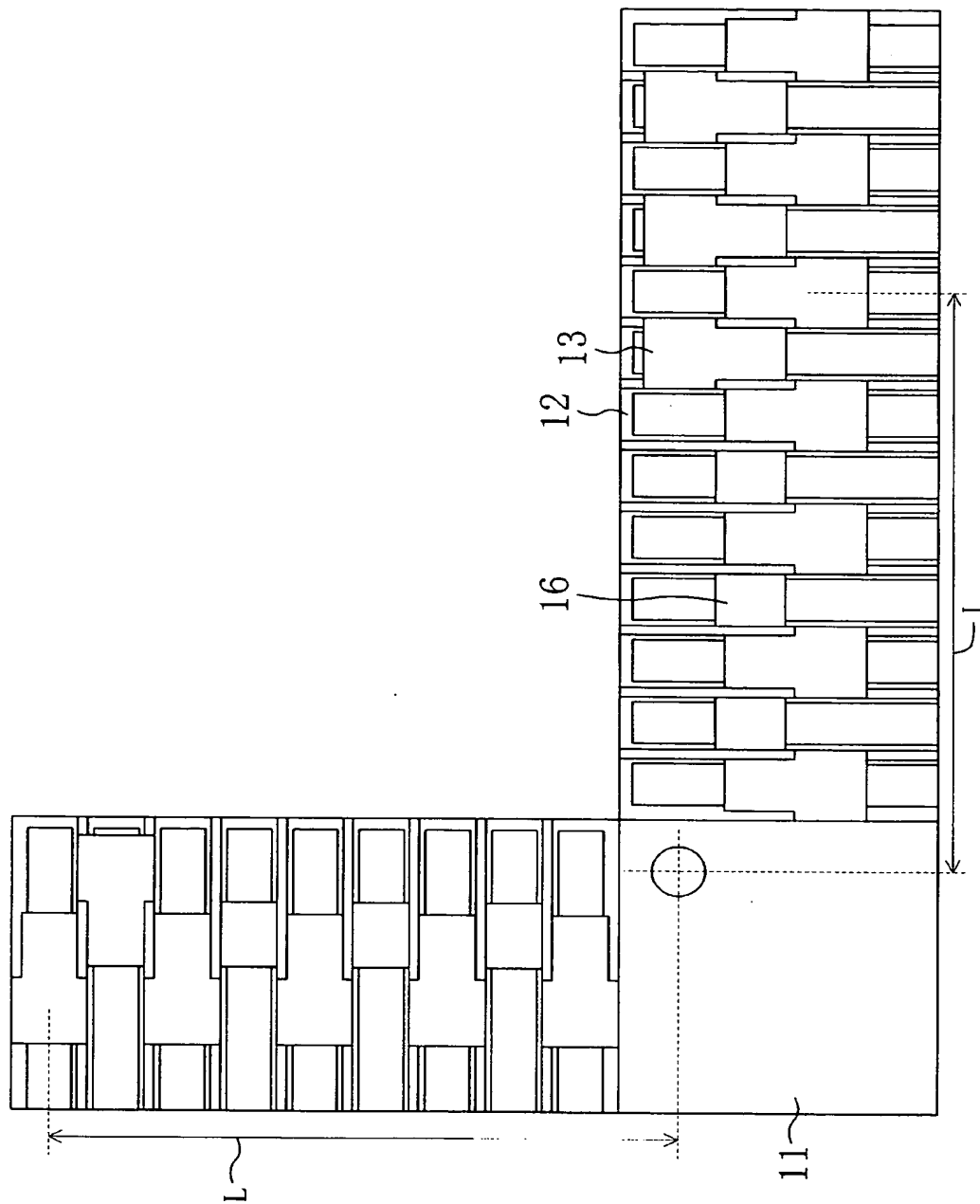
【図 4】



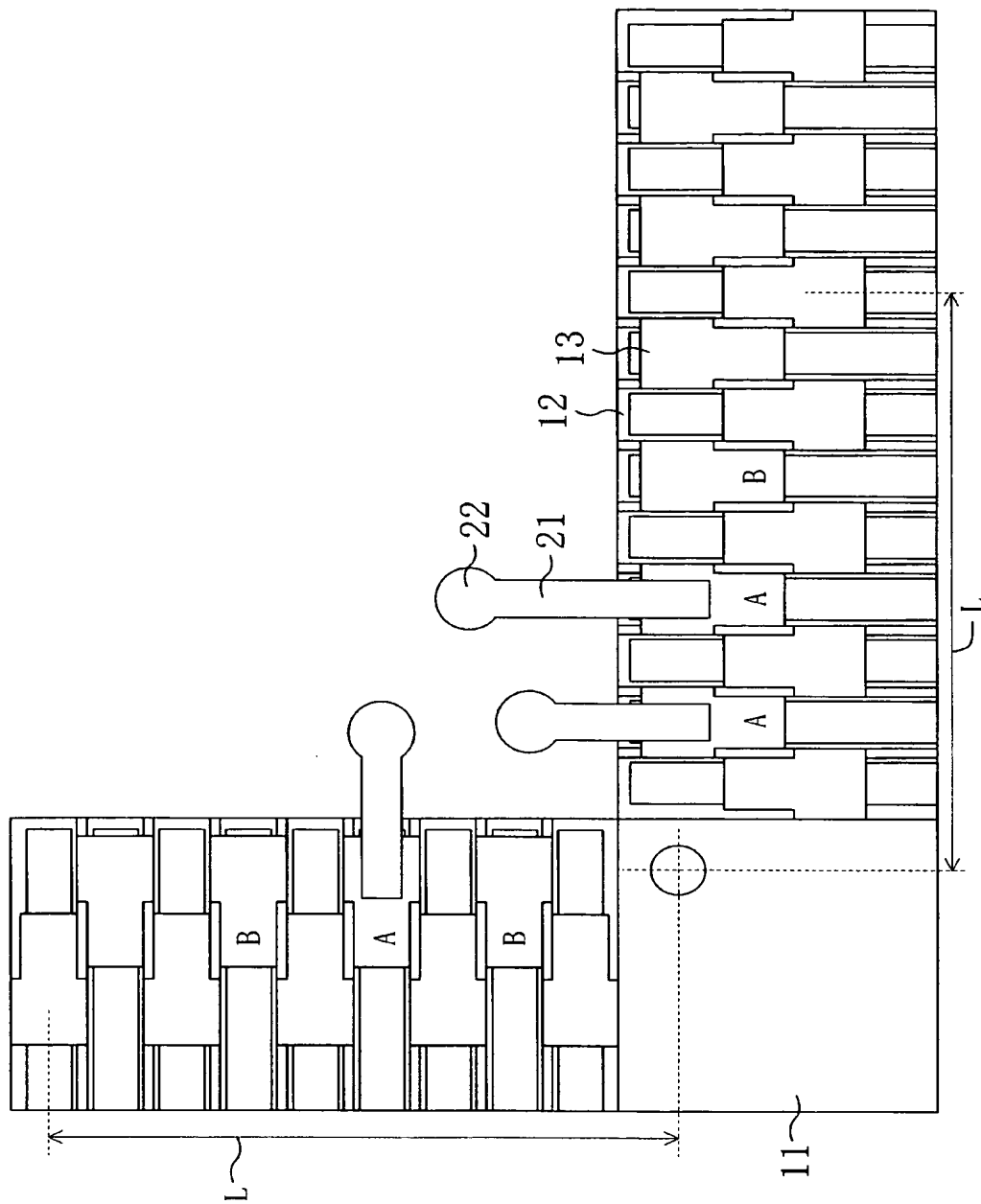
【図 5】



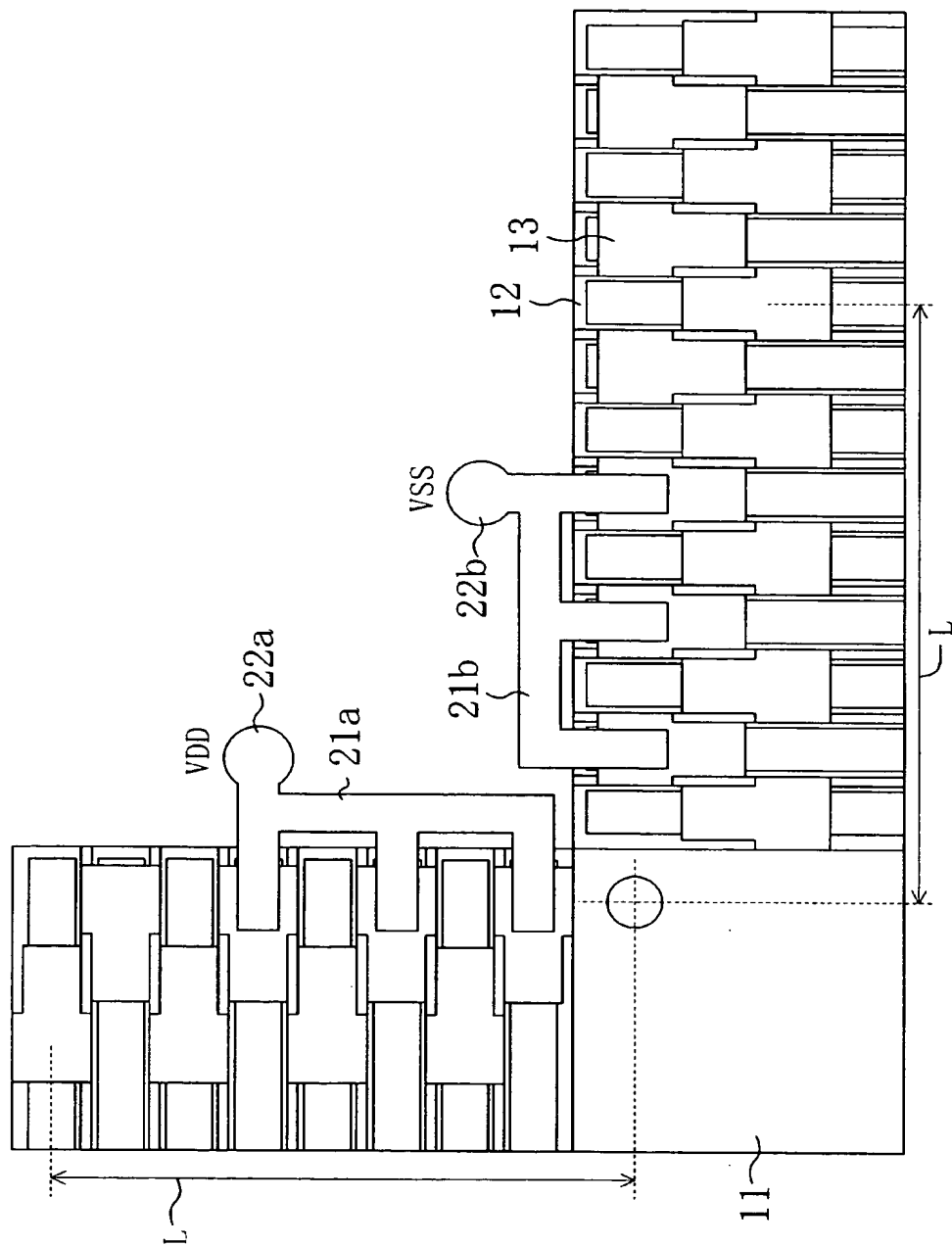
【図 6】



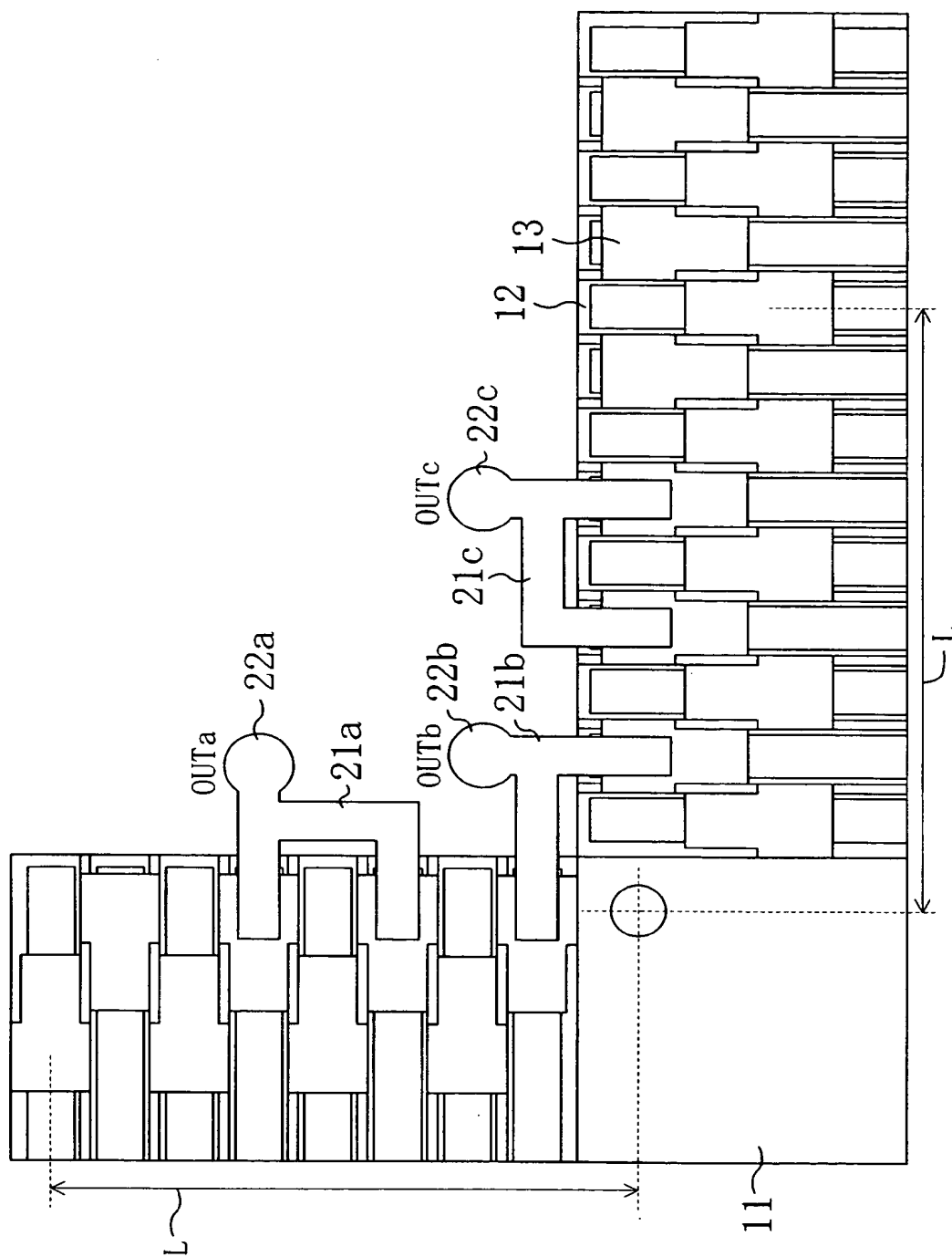
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 P O E (Pad On Element) 技術と千鳥状の電極パッド配列とを採用した C S P (Chip Size Package) 型の半導体装置において、半導体チップのサイズ増大要因をなくす。

【解決手段】 半導体チップ 10 の表面上のコーナーセル 11 に隣接して、周縁部に並ぶように入出力セル 12 を、各入出力セル 12 の上に電極パッド 13 をそれぞれ形成する。電極パッド 13 は、千鳥状のパッド配列をなすように内側パッド列と外側パッド列とを構成する。ただし、内側パッド列を構成する電極パッド 13 のうちコーナーセル 11 の両側に隣接する所定範囲内の電極パッド配設を省略することにより、半導体チップ 10 にバンプ接続されるキャリア 20 の配線パターン 21 及びビア 22 の錯綜を防止する。

【選択図】 図 2

特願 2 0 0 3 - 0 8 7 8 2 4

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日 1 9 9 0 年 8 月 2 8 日

[変更理由] 新規登録

住 所 大阪府門真市大字門真 1 0 0 6 番地

氏 名 松下電器産業株式会社